

最新！半導体パッケージ技術と チップレット集積の課題と展望

- ◆日時: 2026年02月20日(金) 10:30~16:30
- ◆会場: 【WEB限定セミナー】※在宅、会社にいながらセミナーを受けられます
- ◆聴講料: 1名につき55,000円(税込、資料付)

※会員登録(無料)をしていただいた方には下記の割引・特典を適用します。

- ・1名でお申込みされた場合、1名につき49,500円(税込)
- ・2名同時でお申し込みされた場合、2人目は無料(2名で55,000円(税込))

セミナーお申込みFAX

03-5857-4812

※お申込み確認後は弊社よりご連絡いたします。

●講師: NEP Tech. S&S ニシダエレクトロニクス実装技術支援 代表 西田 秀行 氏

本講演では、AI時代の急速な進展、特にGenerative-AIからAgent/Physical-AIへの展開を背景として、爆発的に増大する情報処理需要に半導体パッケージ技術がどのように応えるべきかを俯瞰する。まず、More Moore と More than Moore, SoC・So-IC・SoW といったシステム統合アプローチの比較を通じて、エレクトロニクス産業における水平分業化の進展と実装技術の位置づけを整理する。そのうえで、Fan-Out、部品内蔵技術、2.xD パッケージなど、新しい実装技術の潮流と各社の取り組みを概観し、AI時代が求める高帯域・低消費電力・高密度実装の要件を明確化する。続いて、注目を集めチップレット統合技術について、その目指すゴール、システム性能・歩留まり・開発周期への効果を示すとともに、Intel、TSMC、Samsung、Rapidus、NVIDIA、AMD など主要プレイヤーの戦略を比較する。さらに、インターフェクション技術、配線・インターポーラ、テストおよび量産化の課題など、チップレット実装が直面する実際的な制約を整理し、今後の技術発展に向けた展望を示す。最後に、AI社会を支える先端パッケージ技術の役割と、エコシステム全体が共有すべき次の課題を総括する。

1. 背景

- 1.1 AI時代の幕開け、Generative-AIからAgent/Physical-AIの実現を目指して
- 1.2 情報量の爆発的増大と先端半導体パッケージに求められる性能
- 1.3 More Moore か More than Mooreか、SoCか、So-ICか、SoWか

2. エレクトロニクス業界の現状

- 2.1 実装技術の変遷と現状
- 2.2 System Integrationとは
- 2.3 水平分業化の加速、エレクトロニクス業界の現状と課題

3. 新しい実装技術の潮流、各社の事例

- 3.1 Fan-Out Package
- 3.2 Embedded Technology (部品内蔵技術)
- 3.3 2.XD Package (2.0/2.1/2.3/2.5/3.5D)
- 3.4 AI時代が求める実装技術

4. 『チップレット』への取り組み

- 4.1 CHIPLET Integration の目指すゴールとは
- 4.2 CHIPLET Integrationの効果

5. 事例にみるCHIPLET Integrationの現状

- 5.1 Intel
- 5.2 TSMC
- 5.3 Samsung
- 5.4 Rapidus
- 5.5 NVIDIA
- 5.6 AMD
- 5.6 Others

6. CHIPLET Integrationの課題

- 6.1 どのように付けるか(Interconnection)
- 6.2 どのように繋ぐか(Wiring/Interposer)
- 6.3 実用・量産のための課題は

7. まとめ

『半導体パッケージ【WEBセミナー】』セミナー申込書

会社・大学		
住所	〒	
電話番号		FAX
お名前	所属・役職	E-Mail
①		
②		

会員登録(無料) ※案内方法を選択してください。複数選択可。 Eメール 郵送

● Webセミナーの受講申込みについて ●

必要事項をご明記の上、FAXでお申込み下さい。弊社で確認後、必ず受領のご連絡をいたしまして、別途視聴用のURLをメールにお送りいたします。

セミナーお申込み後のキャンセルは基本的に受けしておりませんので、ご都合により出席できなくなった場合は代理の方がご出席ください。

お申込み・振込に関する詳細はHPをご覧下さい。
⇒ <https://www.rdsc.co.jp/pages/entry>

個人情報保護方針の詳細はHPをご覧下さい。
⇒ <https://www.rdsc.co.jp/pages/privacy>