

# 先端メモリ・ロジックデバイスのための

## 2.5D/3Dデバイス集積化技術の基礎から最新動向

◆日時: 2026年07月29日(水) 13:00~17:00

◆会場: 【WEB限定セミナー】※在宅、会社にながらセミナーを受けられます

◆聴講料: 1名につき49,500円(税込、資料付)

※会員登録(無料)をしていただいた方には下記の割引・特典を適用します。

・1名でお申込みされた場合、1名につき46,200円(税込)

・2名以上同時でお申し込みされた場合、1名につき24,750円(税込)

### セミナーお申込みFAX

03-5857-4812

※お申込み確認後は弊社よりご連絡いたします。

●講師: 名古屋大学 未来社会創造機構 客員教授 兼 技術コンサルタント(半導体分野)  
元(株)東芝 研究開発センター 首席技監 柴田 英毅 氏

AI、IoT、データセンター、ADAS/自動運転、ロボティクス、5G/ポスト5Gなどのデジタル社会を支える重要基盤である高性能ロジックデバイス(MPU/CPU、GPU)やDRAM、NANDフラッシュメモリ、パワーデバイスなどに代表される先端半導体デバイスにおいて、デバイスを構成する微細トランジスタ同士を接続して論理回路を構成する多層配線に対する微細化、高密度化、低抵抗化、低容量化、高信頼性の要求が益々厳しさを増している。配線寸法やViaホール径の微細化に伴う配線・Via抵抗及び配線間容量の増大や、これらに伴う信号伝搬遅延と消費電力の増加、信頼性の低下は世代とともに極めて深刻になりつつある。そこで、本講ではこれまでの多層配線技術の歴史の変遷を振り返るとともに、Cuダマシ配線の製造プロセスや微細化に伴う配線抵抗増大の課題について詳しく解説した上で、Cu代替金属材料(Ru、Co、W、Mo、Niなど)やナノカーボン材料(CNT、グラフェン)の最新の開発動向について述べる。また、Cu配線を取り囲む誘電材料(絶縁膜)として、配線間容量低減のために低誘電率(Low-k)材料を導入した経緯や課題、更なるLow-k化のための多孔質(Porous)材料の課題と対策、究極のLow-k技術であるAir-Gap(中空)技術についても詳細に述べる。さらに、配線長を大幅に短縮化でき、超ワイドパス化や大容量・高速の信号伝送が可能になるSi貫通孔(TSV)やウエハレベル貼合プロセスを用いたメモリデバイス(DRAM、NAND)の3次元(3D)積層化や、複数の半導体チップ(或いは従来のSoC(System on Chip)チップを機能ごとに分割したチップレット)をパッケージ基板上に近接配置して高性能システムを構成する2.5D/3D異種デバイス集積化(チップレットインテグレーション)についても詳しく解説する。

#### 5. 2.5D/3Dデバイス集積化技術の基礎~最新動向

- 5.1 微細化の物理限界と2.5D/3Dデバイス集積化による Mooreの法則の継続・発展
- 5.2 Si貫通孔(TSV)によるデバイス集積化のメリット
- 5.3 TSVを用いた3次元チップ積層の実例1(DRAM/HBM)
- 5.4 TSVを用いた3次元チップ積層の実例2(NAND/SSD)
- 5.5 TSVを用いた3次元チップ積層構造における発熱問題とアンダーフィル材の熱抵抗低減技術
- 5.6 大容量HBMにおける積層化プロセスロードマップ (チップ積層:CoC→ウエハ積層:WoW?, WoW&CoW?, CoW?)
- 5.7 3D-NANDにおけるウエハレベル貼合方式(Xtacking, CBA)の概要
- 5.8 ウエハレベル貼合技術の種類と比較、有力候補(PAB)
- 5.9 ウエハレベル貼合技術の課題と対策 (貼合の低温化、貼合前平坦化、ベベル制御)
- 5.10 各種チップレット技術(CoWoS, InFO, EMIB, Foverosなど)の概要と特徴
- 5.11 TSMC, Intel, Samsungのチップレット技術の詳細とデバイス適用事例
- 5.12 各社のチップレット技術の整理と業界団体「UCIe」の設立
- 5.13 国内のコンソーシアム設立の動き(「PSB」, 「BB Cube 3D」, 「ASRA」, 「SATAS」)

- 5.14 ウエハレベルパッケージ(FO-WLP)技術の特長と変遷, 代表的なプロセス
- 5.15 FO-WLPとPLPの使い分け, FO-PLPの要求仕様
- 5.16 FO-PLPにおける微細再配線(RDL)の低コスト形成プロセスの候補
- 5.17 5G以降の高周波対応低伝送損失絶縁材料の候補
- 5.18 パッケージ基板の最新開発動向 (樹脂・シリコン基板/TSV⇒ガラス基板/TGV(TDV))
- 5.19 CoC, CoW, WoWの主要アプリとPros/Cons, 先進パッケージ技術のロードマップと市場動向

#### 6. ウエハ裏面への電源供給配線網(BS-PDN, PowerVia, SPR)の形成技術の最新動向

- 6.1 ウエハ裏面への電源供給配線網(BS-PDN)形成の経緯・背景と特徴、課題
- 6.2 埋め込み電源線(BPR)と裏面の電源供給配線網(BS-PDN)の接続形態と構造
- 6.3 BS-PDNを形成するための貼合プロセス例と接続断面構造
- 6.4 BS-PDNにおける回路ブロック面積及びIRドロップの低減効果
- 6.5 IntelによるPowerViaの概要と特徴、テストチップの評価結果、20A世代からの採用計画
- 6.6 TSMCもA16世代からSPRを採用へ、Samsungも2nm世代(SF2Z)からBSPDNを採用へ

#### 7. 総括

### 『デバイス集積化【WEBセミナー】』セミナー申込書

会社・大学			
住所	〒		
電話番号		FAX	

お名前	所属・役職	E-Mail
①		
②		

会員登録(無料) ※案内方法を選択してください。複数選択可。

Eメール  郵送

#### ● Webセミナーの受講申込みについて ●

必要事項をご明記の上、FAXでお申込み下さい。弊社で確認後、必ず受領のご連絡をいたしまして、別途視聴用のURLをメールにお送りいたします。

セミナーお申込み後のキャンセルは基本的にお受けしておりませんので、ご都合により出席できなくなった場合は代理の方がご出席ください。

お申込み・振込に関する詳細はHPをご覧ください。  
⇒ <https://www.rdsc.co.jp/pages/entry>

個人情報保護方針の詳細はHPをご覧ください。  
⇒ <https://www.rdsc.co.jp/pages/privacy>